

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2003-110411
 (43) Date of publication of application : 11.04.2003

(51) Int.CI. H03K 5/14
 G11C 11/407
 H03K 19/096

(21) Application number : 2001-401848 (71) Applicant : HYNIX SEMICONDUCTOR INC
 (22) Date of filing : 28.12.2001 (72) Inventor : SAI EIBAI

(30) Priority

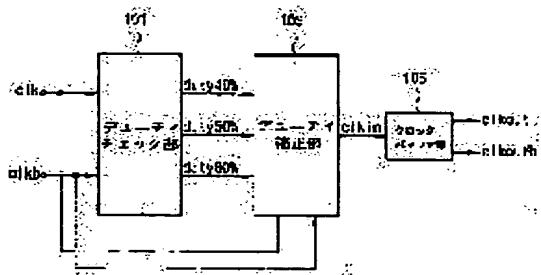
Priority number : 2001 200158153 Priority date : 20.09.2001 Priority country : KR

(54) DUTY CORRECTING CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a circuit for correcting the duty of a CMOS clock.

SOLUTION: The circuit for correcting the duty of a clock signal comprises a duty check block 101 for determining the duty of the clock signal and generating and outputting a control signal for showing the determination result, and a duty correction block 103 for correcting the duty of the clock signal or a clock bar signal according to the control signal from the duty check block with input of the clock signal or the clock bar signal having a phase difference of 180° from the clock signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-110411

(P2003-110411A)

(43)公開日 平成15年4月11日 (2003.4.11)

(51) Int.Cl.
H 03 K 5/14
G 11 C 11/407
H 03 K 19/096

識別記号

F I
H 03 K 5/14
19/096
G 11 C 11/34
3 6 2 S

テマコード(参考)
5 J 0 0 1
B 5 J 0 5 6
3 5 4 C 5 M 0 2 4

審査請求 未請求 請求項の数11 O L (全 8 頁)

(21)出願番号 特願2001-401848(P2001-401848)
(22)出願日 平成13年12月28日 (2001.12.28)
(31)優先権主張番号 2001-058153
(32)優先日 平成13年9月20日 (2001.9.20)
(33)優先権主張国 韓国 (KR)

(71)出願人 591024111
株式会社ハイニックスセミコンダクター
大韓民国京畿道利川市夫鉢邑牙美里山136
- 1
(72)発明者 崔 永 培
大韓民国京畿道水原市八達區領統洞948-4 ファンゴルマウル 住公2
団地アパート 106-1206
(74)代理人 110000051
特許業務法人共生国際特許事務所

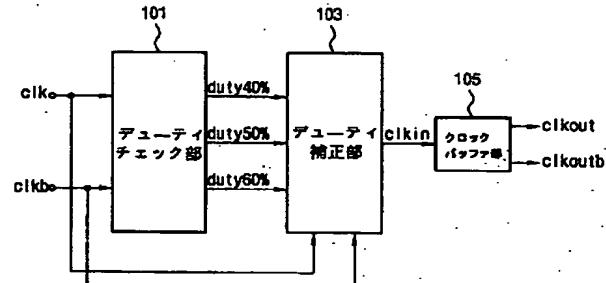
最終頁に続く

(54)【発明の名称】 デューティ補正回路

(57)【要約】

【課題】 CMOSクロックのデューティを補正する回路を提供する。

【解決手段】 クロック信号のデューティ(duty)を補正する回路において、前記クロック信号のデューティを判定した後、判定結果を示す制御信号を生成して出力するデューティチェック部101(duty check block)と、前記クロック信号または前記クロック信号と180°の位相差を有するクロックバー信号を入力し、前記デューティチェック部の制御信号に応じて前記クロック信号またはクロックバー信号のいずれか一方の信号のデューティを補正して出力するデューティ補正部103(duty correction block)とを備える。



【特許請求の範囲】

【請求項1】 クロック信号のデューティ(duty)を補正する回路において、前記クロック信号のデューティを判定した後、判定結果を示す制御信号を生成して出力するデューティチェック部(duty check block)と、前記クロック信号または前記クロック信号と 180° の位相差を有するクロックバー信号を入力し、前記デューティチェック部の制御信号に応じて前記クロック信号またはクロックバー信号のいずれか一方の信号のデューティを補正して出力するデューティ補正部(duty correction block)とを備えることを特徴とするデューティ補正回路。

【請求項2】 前記デューティチェック部は、前記クロック信号のデューティが50%であるか、50%未満であるか、または50%超過であるかを判定することを特徴とする請求項1に記載のデューティ補正回路。

【請求項3】 前記デューティ補正部は、前記クロック信号のデューティが50%未満ならば、前記クロック信号のデューティを補正して出力し、前記クロック信号のデューティが50%超過ならば、前記クロックバー信号のデューティを補正して出力し、前記クロック信号のデューティが50%ならば、前記クロック信号またはクロックバー信号をそのまま出力することを特徴とする請求項2に記載のデューティ補正回路。

【請求項4】 前記デューティチェック部は、前記クロック信号により制御される第1のスイッチと、前記クロックバー信号により制御される第2のスイッチと、

前記第1のスイッチのオンまたはオフによって充放電される第1のコンデンサと、前記第2のスイッチのオンまたはオフによって充放電される第2のコンデンサとを備えることを特徴とする請求項1に記載のデューティ補正回路。

【請求項5】 前記デューティチェック部は、前記第1のコンデンサにかかる電圧と、前記第2のコンデンサにかかる電圧の大きさを比較し、前記制御信号を生成する比較器をさらに備えることを特徴とする請求項4に記載のデューティ補正回路。

【請求項6】 前記デューティ補正部は、前記クロック信号のデューティが50%未満ならば、前記制御信号によりイネーブルされて、前記クロック信号のデューティを補正するクロック信号補正部と、前記クロック信号のデューティが50%超過ならば、前記制御信号によりイネーブルされて、前記クロックバー信号のデューティを補正するクロックバー信号補正部とを備えることを特徴とする請求項1に記載のデューティ補正回路。

【請求項7】 前記クロック信号補正部は、前記クロック信号の立ち上がりエッジ及び立ち下がりエッジが所定の勾配を有するようにする第1の位相ブレンディング

(blending)回路と、

前記クロック信号が所定時間遅延されるようにする第1の遅延回路と、

前記第1の遅延回路の出力信号が所定の勾配を有するようする第2の位相ブレンディング回路とを備え、前記第1の位相ブレンディング回路と前記第2の位相ブレンディング回路とは、その出力端子がお互いに電気的に接続されていることを特徴とする請求項6に記載のデューティ補正回路。

【請求項8】 前記クロックバー信号補正部は、前記クロックバー信号が所定の勾配を有するようする第3の位相ブレンディング回路と、

前記クロックバー信号が所定時間遅延されるようする第2の遅延回路と、

前記第2の遅延回路の出力信号が所定の勾配を有するようする第4の位相ブレンディング回路とを備え、

前記第3の位相ブレンディング回路と前記第4の位相ブレンディング回路とは、その出力端子がお互いに電気的に接続されていることを特徴とする請求項6に記載のデューティ補正回路。

【請求項9】 前記デューティ補正部の出力信号を入力し、 180° の位相差を有する新しいクロック信号及びクロックバー信号を生成して出力するクロックバッファ部(clock buffer block)をさらに備えることを特徴とする請求項1に記載のデューティ補正回路。

【請求項10】 前記クロックバッファ部は、前記デューティ補正部の出力信号が入力される2つのインバータチェーンからなり、前記2つのインバータチェーンのうち1つは、偶数個のインバータを有し、他の一つは、奇数個のインバータを有することを特徴とする請求項9に記載のデューティ補正回路。

【請求項11】 クロック信号のデューティを補正する回路において、

前記クロック信号のデューティが50%であるか、50%未満であるか、または50%超過であるかを判定した後、判定結果を示す制御信号を生成して出力するデューティチェック部と、

前記クロック信号または前記クロック信号と 180° の位相差を有するクロックバー信号を入力し、前記デューティチェック部の制御信号に応じて、前記クロック信号のデューティが50%未満ならば、前記クロック信号のデューティを補正して出力し、前記クロック信号のデューティが50%超過ならば、前記クロックバー信号のデューティを補正して出力し、前記クロック信号のデューティが50%ならば、前記クロック信号またはクロックバー信号をそのまま出力するデューティ補正部とを備えることを特徴とするデューティ補正回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デューティ補正回路に関し、特にDDR DRAM、RAMBUSDRAMなどに使われる入力クロックが50%に非常に近いデューティを有するように補正する回路に関するものである。

【0002】

【従来の技術】従来のDDR (double data rate) DRAMの場合、デューティ補正をしていくなく、入力クロックのデューティ誤差の規格は±5%であり、ジッタ(jitter)規格は±10%である。これを周波数で表すと、166MHzである場合、ジッタ規格は±600psであり、入力クロックのデューティ誤差は±300psとなる。入力クロックのデューティ誤差が出力クロックと出力データにそのまま現れるとしたら、実際に考慮できるジッタ規格は、±300psになるので、実際、回路設計時に余裕(margin)があまりなくなる。

【0003】従って、多くのデューティ補正回路が開発されてきたが、CMOSクロックのデューティを補正する回路をデジタルで構成することは容易なことではない。このような回路では、クロック信号c1kとクロックバー信号c1kbがお互いに同じデューティ誤差を有する場合は補正をするのに対して、お互い異なるデューティ、すなわち完全に相補的な関係にある場合は、例えば、c1kのデューティが40%で、c1kbのデューティが60%である場合、一方のデューティだけを補正するという問題点が発生することになる。

【0004】

【発明が解決しようとする課題】そこで、本発明は上記従来のデューティ補正回路における問題点に鑑みてなされたものであって、本発明の目的は、CMOSクロックのデューティを補正する回路を提供することにある。また、本発明の他の目的は、レイアウトの面積を縮小させることが可能なデューティ補正回路を提供することである。また、本発明の他の目的は、設計が容易なデューティ補正回路を提供することである。

【0005】

【課題を解決するための手段】上記目的を達成するためになされた本発明によるデューティ補正回路は、クロック信号のデューティ(duty)を補正する回路において、前記クロック信号のデューティを判定した後、判定結果を示す制御信号を生成して出力するデューティチェック部(duty check block)と、前記クロック信号または前記クロック信号と180°の位相差を有するクロックバー信号を入力し、前記デューティチェック部の制御信号に応じて前記クロック信号またはクロックバー信号のいずれか一方の信号のデューティを補正して出力するデューティ補正部(duty correction block)とを備えることを特徴とする。

【0006】また、前記デューティチェック部は、前記クロック信号のデューティが50%であるか、50%未満であるか、または50%超過であるかを判定することを特徴とする。また、前記デューティ補正部は、前記クロック信号のデューティが50%未満ならば、前記クロック信号のデューティを補正して出力し、前記クロック信号のデューティが50%超過ならば、前記クロックバー信号のデューティを補正して出力し、前記クロック信号のデューティが50%ならば、前記クロック信号またはクロックバー信号をそのまま出力することを特徴とする。また、前記デューティチェック部は、前記クロック信号により制御される第1のスイッチと、前記クロックバー信号により制御される第2のスイッチと、前記第1のスイッチのオンまたはオフによって充放電される第1のコンデンサと、前記第2のスイッチのオンまたはオフによって充放電される第2のコンデンサとを備えることを特徴とする。

【0007】また、前記デューティチェック部は、前記第1のコンデンサにかかる電圧と、前記第2のコンデンサにかかる電圧の大きさを比較し、前記制御信号を生成する比較器をさらに備えることを特徴とする。また、前記デューティ補正部は、前記クロック信号のデューティが50%未満ならば、前記制御信号によりイネーブルされて、前記クロック信号のデューティを補正するクロック信号補正部と、前記クロック信号のデューティが50%超過ならば、前記制御信号によりイネーブルされて、前記クロックバー信号のデューティを補正するクロックバー信号補正部とを備えることを特徴とする。また、前記クロック信号補正部は、前記クロック信号の立ち上がりエッジ及び立ち下がりエッジが所定の勾配を有するようとする第1の位相ブレンディング(blending)回路と、前記クロック信号が所定時間遅延されるようとする第1の遅延回路と、前記第1の遅延回路の出力信号が所定の勾配を有するようとする第2の位相ブレンディング回路とを備え、前記第1の位相ブレンディング回路と前記第2の位相ブレンディング回路とは、その出力端子がお互いに電気的に接続されていることを特徴とする。

【0008】また、前記クロックバー信号補正部は、前記クロックバー信号が所定の勾配を有するようとする第3の位相ブレンディング回路と、前記クロックバー信号が所定時間遅延されるようとする第2の遅延回路と、前記第2の遅延回路の出力信号が所定の勾配を有するようとする第4の位相ブレンディング回路とを備え、前記第3の位相ブレンディング回路と前記第4の位相ブレンディング回路とは、その出力端子がお互いに電気的に接続されていることを特徴とする。また、前記デューティ補正部の出力信号を入力し、180°の位相差を有する新しいクロック信号及びクロックバー信号を生成して出力するクロックバッファ部(clock buffer)

`b1ock`) をさらに備えることを特徴とする。また、前記クロックバッファ部は、前記デューティ補正部の出力信号が入力される2つのインバータチェーンからなり、前記2つのインバータチェーンのうち1つは、偶数個のインバータを有し、他の一つは、奇数個のインバータを有することを特徴とする。

【0009】上記目的を達成するためになされた本発明によるデューティ補正回路は、クロック信号のデューティを補正する回路において、前記クロック信号のデューティが50%であるか、50%未満であるか、または50%超過であるかを判定した後、判定結果を示す制御信号を生成して出力するデューティチェック部と、前記クロック信号または前記クロック信号と180°の位相差を有するクロックバー信号を入力し、前記デューティチェック部の制御信号に応じて、前記クロック信号のデューティが50%未満ならば、前記クロック信号のデューティを補正して出力し、前記クロック信号のデューティが50%超過ならば、前記クロックバー信号のデューティを補正して出力し、前記クロック信号のデューティが50%ならば、前記クロック信号またはクロックバー信号をそのまま出力するデューティ補正部とを備えることを特徴とする。

【0010】このような構成を有する本発明によると、高速メモリ素子に使われる入力クロックのデューティ誤差をチェックし、このクロックが50%以上のデューティを有するか、または50%未満のデューティを有するかをあらかじめ確認した後、デューティ補正を行う。すなわち、どのクロックがどちら側に誤差が発生したかを感じできる回路を用いて、1つのクロックに対してデューティを補正した後、さらに補正されたクロックを用いて、お互いに180°の位相差を有する2つのクロックを新しく生成する。

【0011】また、このような構成を有する本発明によれば、CMOSクロックのデューティを精巧に補正することが可能となる。また、アナログタイプのデューティ補正回路に比べて簡単なので、レイアウトの面積を縮小させることができるだけでなく、設計が容易であるという利点がある。

【0012】

【発明の実施の形態】次に、本発明にかかるデューティ補正回路の実施の形態の具体例を図面を参照しながら説明する。図面において、同一の参照符号は、同一または類似の構成要素または信号を示すものである。

【0013】まず、図1は、本発明に係るデューティ補正回路のブロック図である。図1に示すように、本発明に係るデューティ補正回路100は、デューティチェック部101と、デューティ補正部103と、クロックバッファ105とを備えている。同図において、`c1k`は、クロック信号を、`c1kb`は、`c1k`から180°位相転移されたクロックバー信号を、`duty40%`

は、クロック信号`c1k`のデューティが50%未満である場合に活性化する信号を、`duty50%`は、クロック信号`c1k`のデューティが50%である場合に活性化する信号を、`duty60%`は、クロック信号`c1k`のデューティが50%を超過する場合に活性化する信号を各々示す。また、`c1kin`は、デューティ補正部103により補正されたクロック信号を、`c1kout`と`c1koutb`は、`c1kin`を入力としてクロックバッファ105により生成され、お互いに180°の位相差を有するクロック信号を各々示す。

【0014】デューティチェック部101は、クロック信号`c1k`、`c1kb`を入力として受信し、クロック信号`c1k`のデューティが50%未満であるか、50%超過であるか、又は50%であるかを判定する。クロック信号`c1k`のデューティが50%未満ならば、`duty40%`という信号が活性化され、デューティ補正部103を制御する信号として使われる。クロック信号`c1k`のデューティが50%超過ならば、`duty60%`という信号が活性化され、デューティ補正部103を制御する信号として使われる。そしてクロック信号`c1k`のデューティが50%ならば、`duty50%`という信号が活性化され、デューティ補正部103を制御する信号として使われる。

【0015】デューティ補正部103は、デューティチェック部101からの制御信号`duty40%`、`duty50%`、`duty60%`を用いてクロック信号`c1k`、`c1kb`を適切に遅延させることによって、デューティを補正する。まず、クロック信号`c1k`のデューティが50%未満ならば、デューティチェック部101により`duty40%`という信号が活性化され、この`duty40%`という信号は、デューティ補正部103により、クロック信号`c1k`をデューティが50%になるように所定時間遅延させた後、クロックバッファ105に出力するようになる。クロック信号`c1k`のデューティが50%超過ならば、デューティチェック部101により`duty60%`という信号が活性化され、この`duty60%`という信号は、デューティ補正部103により、クロックバー信号`c1kb`をデューティが50%になるように所定時間遅延させた後、クロックバッファ105に出力するようになる。クロック信号`c1k`のデューティが50%ならば、そのまま出力されるようになる。したがって、デューティ補正部103の出力信号`c1kin`は、`duty40%`信号が活性化される場合には、クロック信号`c1k`が遅延されたものであり、`duty50%`信号が活性化される場合には、クロックバー信号`c1kb`が遅延されたものであって、50%に非常に近いデューティを有する。クロックバッファ部105は、デューティ補正部103からの出力信号`c1kin`を入力し、180°の位相差を有する新しいクロック信号`c1kout`及びクロックバー信号`c1koutb`を

生成して出力する。

【0016】図2は、本発明の一実施例に係るデューティチェック部のデューティ誤差判断回路の回路図であり、図3は、本発明の一実施例に係るデューティチェック部の比較器のブロック図である。図2、図3に示すように、デューティチェック部は、入力クロックのデューティがどちら側に誤差を有するかを判断するデューティ誤差判断回路200と、デューティ誤差判断回路200の出力信号を用いてデューティ補正部103を制御する制御信号を生成する比較器202とから構成される。

【0017】図2に示すように、デューティ誤差判断回路200は、クロック信号c1kにより制御される第1のスイッチとしてのNMOSトランジスタN4と、クロックバー信号c1kbにより制御される第2のスイッチとしてのNMOSトランジスタN3と、NMOSトランジスタN4のオンまたはオフによって充放電されるコンデンサC1と、NMOSトランジスタN3のオンまたはオフによって充放電されるコンデンサC0とを主な構成要素として備えている。コンデンサC0、C1は、NMOSトランジスタで構成され、非常に大きい値のキャパシタンスを有するようとする。

【0018】クロック信号のデューティが50%より大きいクロックの場合は、放電量より充電量が多いため、コンデンサに電荷が統いて充電され、デューティが50%以下であるクロックの場合は、充電量より放電量が多いため、統いて放電が行われる。例えば、クロックc1kがハイレベルである区間が50%以上の場合は、充電量がより多いから、ノードdccのレベルは上昇するのに対して、ノードdccbのレベルは下降することになる。クロックc1kbがハイレベルである区間が50%以下の場合は、その反対となる。ここで、dcc、dccbは、混同のおそれがない場合、該当ノードの電圧信号を示すものとしても使われる。電圧信号dccとdccbを利用すれば、入力されるクロックのデューティ誤差がどちら側に発生したかを判断でき、これにより、位相ブレンディング部でc1kとc1kbの中でいずれかのクロックを利用すべきかを判断できる。

【0019】図3に示されているように、比較器202は、コンデンサC0にかかる電圧dccとコンデンサC0にかかる電圧dccbの大きさを比較することによって、デューティが50%未満の場合は、duty40%という信号が出力され、デューティが50%以上の場合は、duty60%という信号が出力されるようにする。もちろんデューティが正確に50%の場合は、duty50%という信号を出力する。これらの出力信号は、前述したように、デューティ補正部103を制御する制御信号として使われる。

【0020】図4は、本発明の一実施例に係るデューティ補正部のブロック図である。図4に示すように、デューティ補正部300は、クロック信号c1kのデューテ

ィを補正するクロック信号補正部300aと、クロック信号c1kと180°の位相差を有するクロックバー信号c1kbのデューティを補正するクロックバー信号補正部300bとで構成される。図4で、c1kとc1kbは、図1のように、外部から入力されるクロック信号を、duty40%とduty60%は、デューティチェック部101から生成される制御信号を、pc1kは、クロック信号c1kが位相ブレンディング回路309を経由した後のクロック信号を、pdclkは、クロック信号c1kが遅延回路305と位相ブレンディング回路311を経由した後のクロック信号を、pc1kbは、クロック信号c1kbが位相ブレンディング回路315を経由した後のクロック信号を、pdccbは、クロック信号c1kbが遅延回路307と位相ブレンディング回路313を経由した後のクロック信号を各々示す。

【0021】位相ブレンディング回路309、315は、各々クロック信号c1kまたはクロックバー信号c1kbが所定値の勾配をもって逆転されるようにする。遅延回路305、307は、デューティ補正のために、クロック信号c1kまたはクロックバー信号c1kbを所定時間遅延させる。他の位相ブレンディング回路311、313は、遅延回路305、307の出力信号がそれぞれ所定値の勾配をもって逆転されるようにする。位相ブレンディング回路309と位相ブレンディング回路311は、その出力端子が物理的に結合されて、デューティ補正部103の出力端子に連結される。また、位相ブレンディング回路313と位相ブレンディング回路315は、その出力端子が物理的に結合されて、デューティ補正部103の出力端子に連結される。

【0022】伝送ゲート301は、duty40%という信号によって制御され、伝送ゲート303は、duty60%という信号によって制御される。したがって、クロック信号補正部300aで、duty40%という信号が、前述したように、クロック信号c1kのデューティが50%未満である場合に活性化されると、クロック信号c1kは、伝送ゲート301を経由して位相ブレンディング回路309と遅延部305に提供される。遅延回路305に提供されたクロック信号c1kは、デューティ補正のために、所定の時間だけ遅延されて位相ブレンディング回路311に提供される。

【0023】位相ブレンディング回路309、311は、後述するように、入力信号を反転させるインバータであり、単純に反転させるものではなく、クロック信号の立ち上がりエッジと立ち下がりエッジがある程度の勾配を有するようにする。このように勾配を有するようにすることは、出力端子で信号pc1kと信号pdccbがよく合わせられるようにするためにものである。このような信号の合わせによりデューティ補正が行われるものである。クロックバー信号補正部300bでの動作

も、前述したようなクロック信号補正部300aでの動作と基本的に同一である。

【0024】前述したように、duty 40%という信号は、c1kが、duty 60%という信号は、c1kbがデューティ補正部300に入力されて使われるようになる。図4に示すように、c1kとc1kbのデューティを補正する回路が同一なので、一方のデューティを50%に補正すると、他方はデューティがより悪くなる。これを防止するために、前述したように、まず、図1のデューティチェック部101を用いてデューティがどちら側に誤差を有するかを判定し、duty 40%、duty 50%またはduty 60%のうちいずれか一つを活性化させて、c1kまたはc1kbのいずれか一つを選択する。デューティ誤差の補正が、元来のクロックと遅延されたクロックとを合わせながら行われるので、常にデューティ誤差が50%未満である場合のみに、補正が円滑に行われる。このため、デューティチェック部101が必要となり、この時発生されたduty 40%とduty 60%信号を用いて常にデューティが50%未満である信号を選択する。duty 50%の場合は、デューティ補正部を経ることなく、出力される。

【0025】図5は、本発明に係る位相ブレンディング回路の回路図である。図5に示すように、位相ブレンディング回路は、NMOSトランジスタMN1、MN2、MN3と、PMOSトランジスタMP1、MP2、MP3とを備えている。また、クロック信号c1kが逆転(inverting)され、所定時間遅延されたクロック信号/dc1kがPMOSトランジスタMP1とNMOSトランジスタMN1に入力されるようにするインバータ401と遅延回路403とをさらに備える。遅延回路403は、偶数個のインバータが連結されたインバータチェーンからなる。したがって、インバータ401と遅延回路403は、奇数個のインバータが連結されて一体に構成されることができる。

【0026】図5で、c1kは、図4に示したようなクロック信号であり、図5に示した位相ブレンディング回路は、c1kが入力される位相ブレンディング回路309を例示したものである。/dc1kは、c1kが遅延され逆転されたクロック信号を示す。c1kから/dc1kを生成する回路は、当業者に自明なので、図5には示していない。図5で、PMOSトランジスタMP2は、他のPMOSトランジスタMP1、MP3に比べて長い長さと小さな幅を有する弱いトランジスタで、NMOSトランジスタMN2は、他のNMOSトランジスタMN1、MN3に比べて長い長さと小さな幅を有する弱いトランジスタである。PMOSトランジスタMP2は、そのゲートが接地されるので、常にオン(ON)状態であり、PMOSトランジスタMP1がオフ状態である場合にも、回路に電流が流れることができるように経路を形成する。NMOSトランジスタMN2は、そのゲ

ートが電源端子に接続されているので、常にオン状態であり、NMOSトランジスタMN1がオフ状態である場合にも、回路に電流が流れることができるように経路を形成する。PMOSトランジスタMP3とNMOSトランジスタMN3のゲートには、クロック信号c1kが入力され、PMOSトランジスタMP1とNMOSトランジスタMN1のゲートには、クロック信号/dc1kが入力される。

【0027】図5に示された回路の動作を、図6を参照して説明する。図6に示すように、出力信号outは、クロック信号c1kが反転された信号と類似している。図6で、ハッキング部分t1、t3は、クロック信号/dc1kがクロック信号c1kに比べて遅延されるから生じる区間で、勾配が急で、この区間では、図5に示された位相ブレンディング回路は、普通のインバータのように動作する。しかしながら、他の部分t2、t4で、出力信号outは、弱いトランジスタMN2、MP2により勾配が緩慢になる。出力信号outの勾配を緩慢にすることは、図4と関連して前述したように、デューティ補正部103の出力端での信号合わせが効果的に行われるようになるためである。すなわち、位相ブレンディング回路は、クロックの勾配を調整する役目をし、適切に調整された勾配を有する入力クロックをお互いに合わせながら、入力クロックのデューティを調整することになる。

【0028】図7は、本発明に係るデューティ補正部の動作を説明する信号波形図である。図7は、例えば、図4で位相ブレンディング回路309の出力信号pc1kと位相ブレンディング回路311の出力信号pdclkが合わせられてクロック信号c1kin40%を生成する原理を示したものである。

【0029】図8は、本発明の一実施例に係るクロックバッファ部の回路図である。図8に示すように、クロックバッファ部105は、奇数個のインバータを備える第1のプランチ701と、偶数個のインバータを備える第2のプランチ703とを含む。図8で、c1kinは、図4での出力信号c1kin40%、c1kin60%を、c1koutは、第1のプランチ701の出力信号を、c1koutbは、第2のプランチ703の出力信号を各々示す。c1koutbとc1koutは、お互いに180°の位相差を有する。デューティ補正部103でデューティが補正されたクロックは、図8のクロックバッファ部105を介してさらに2つのクロックを生成するのに使われる。クロックバッファ部105を設計する時には、コンデンサを用いて2つの出力c1kout、c1koutbのタイミングが正確に合うようにする。

【0030】尚、本発明は、上述の実施例に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【0031】

【発明の効果】以上説明したように、本発明によると、CMOSクロックのデューティを精巧に補正することができる。また、アナログタイプのデューティ補正回路に比べて簡単なので、レイアウトの面積を縮小させることができ、かつ、設計が容易であるという利点がある。

【図面の簡単な説明】

【図1】本発明に係るデューティ補正回路のブロック図である。

【図2】本発明の一実施例に係るデューティチェック部のデューティ誤差判断回路の回路図である。

【図3】本発明の一実施例に係るデューティチェック部の比較器のブロック図である。

【図4】本発明の一実施例に係るデューティ補正部のブロック図である。

【図5】本発明の一実施例に係る位相ブレンディング回路の回路図である。

【図6】本発明に係る位相ブレンディング回路の動作を

説明する信号波形図である。

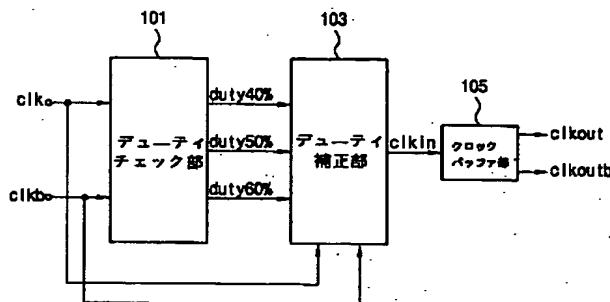
【図7】本発明に係るデューティ補正部の動作を説明する信号波形図である。

【図8】本発明の一実施例に係るクロックバッファの回路図である。

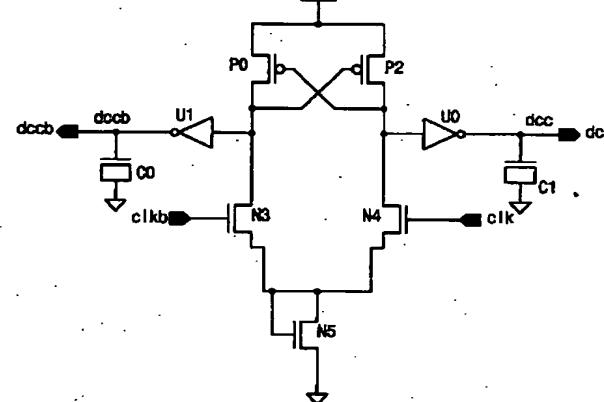
【符号の説明】

100	デューティ補正回路
101	デューティチェック部
103	デューティ補正部
105	クロックバッファ部
200	デューティ誤差判断回路
202	比較器
300	デューティ補正部
301, 303	伝送ゲート
305, 307	遅延回路
309, 311, 313, 315	位相ブレンディング回路
701	第1のブランチ
703	第2のブランチ

【図1】

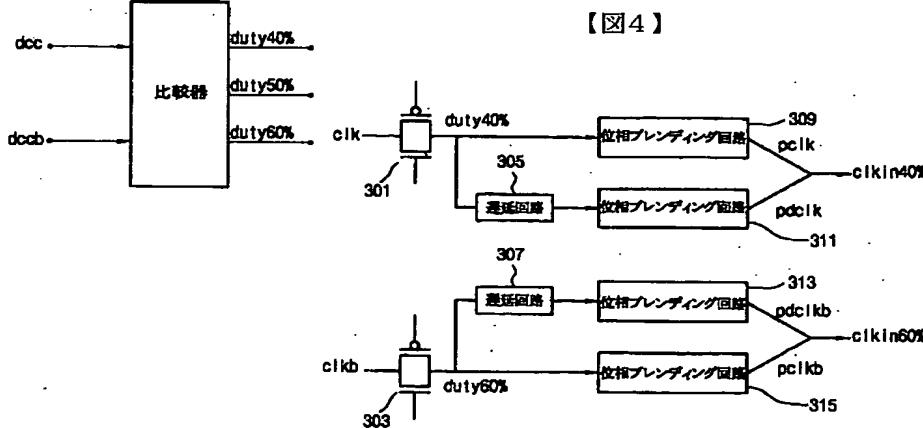


【図2】



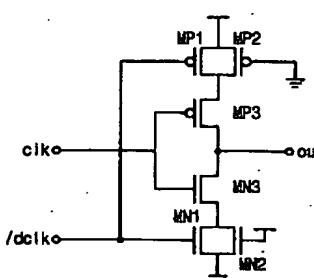
【図3】

202

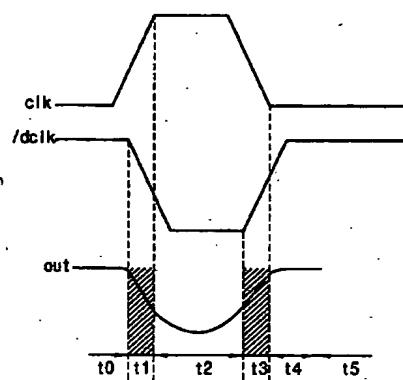


【図4】

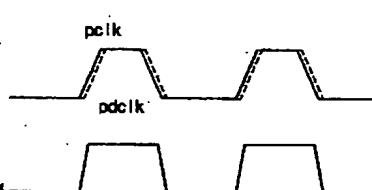
【図5】



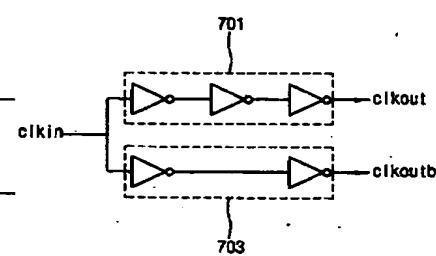
【図6】



【図7】



【図8】



フロントページの続き

F ターム(参考) 5J001 AA05 AA11 BB12 BB14 DD05
DD09
5J056 AA03 BB21 CC00 CC05 CC09
DD13 DD29 DD51 EE11 FF01
FF08 KK01
5M024 AA50 AA63 AA91 BB27 DD83
GG01 HH11 JJ03 JJ32 PP01
PP02 PP03 PP07